

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-334156

(43)Date of publication of application : 02.12.1994

(51)Int.Cl.

H01L 27/115

G11C 16/02

G11C 16/04

G11C 16/06

(21)Application number : 05-143069

(71)Applicant : SONY CORP

(22)Date of filing : 21.05.1993

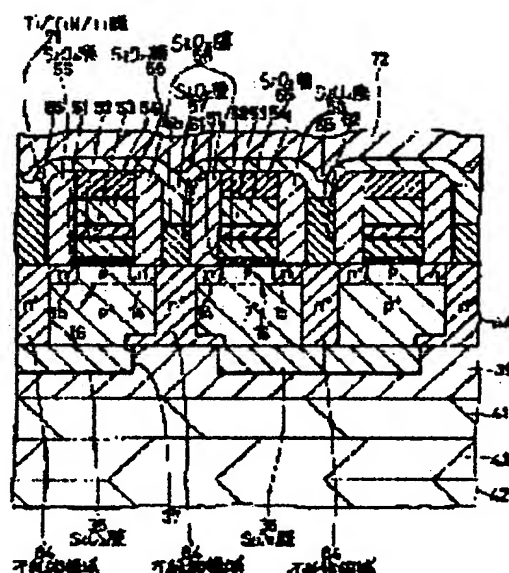
(72)Inventor : SHIMADA TAKASHI

(54) NOR TYPE FLASH MEMORY

(57)Abstract:

PURPOSE: To overlap a ground line a and a bit line on a semiconductor layer as an active layer and enhance the degree of integration by making the area of a memory cell small.

CONSTITUTION: The upper layer and the lower layer of a Si layer 44 as the active layer of a transistor 16 for memory cell are extended the AlSiCu film 72 and Ti/TiN/Ti film 71 as the bit line and the tungsten polyside film 38 as the ground line. The ground line is connected to the source 14 of the transistor 16 through an impurity region 64 provided through the Si layer 44 and the bit line is connected to the drain 15 of the transistor 16 through a contact hole 62.



1

【特許請求の範囲】

【請求項1】 メモリセル用のトランジスタのソース、ドレイン及びチャネル領域が形成されている半導体層が帯状に延在しており、前記半導体層の上層及び下層の一方及び他方で接地線及びビット線が絶縁膜を介して前記半導体層に沿って延在しており、前記接地線及び前記ビット線が前記ソースまたは前記ドレインに電気的に接続されているNOR型フラッシュメモリ。

【請求項2】 前記トランジスタのゲートに対して自己整合的に形成されているコンタクト孔から前記半導体層に導入された前記ソースまたは前記ドレインと同一導電型の不純物によって形成されており前記半導体層を貫通している不純物領域によって、前記下層の前記接地線または前記ビット線と前記ソースまたは前記ドレインとが電気的に接続されている請求項1記載のNOR型フラッシュメモリ。

【請求項3】 前記トランジスタのゲートと交わる方向へ帯状に延在する開口を有するマスク層を用いた、前記ゲート及び前記半導体層を覆っている絶縁膜に対するエッチングで、前記ゲートに対して自己整合的なコンタクト孔が形成されている請求項1または2記載のNOR型フラッシュメモリ。

【請求項4】 電荷が浮遊ゲートに蓄積される請求項1～3の何れか1項に記載のNOR型フラッシュメモリ。

【請求項5】 電荷が絶縁膜のトラップに蓄積される請求項1～3の何れか1項に記載のNOR型フラッシュメモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本願の発明は、チャネルの全面で電子を注入し、基板へ電子を引き抜くことによって、データの書込み及び一括消去を行うNOR型フラッシュメモリに関するものである。

【0002】

【従来の技術】図21、22は、浮遊ゲート型のNOR型フラッシュメモリを示している。このフラッシュメモリでは、p型の半導体基板11またはウェルの表面のゲート絶縁膜上に浮遊ゲート12が形成されており、容量結合用の絶縁膜を介して浮遊ゲート12上を制御ゲート13が延在している。浮遊ゲート12及び制御ゲート13の両側の半導体基板11には、n+型の不純物領域でソース14及びドレイン15が形成されており、このトランジスタ16で1個のメモリセルが形成されている。

【0003】図23は、MONOS型のNOR型フラッシュメモリを示している。このフラッシュメモリでは、p型の半導体基板11またはウェルの表面上に、SiO₂膜17とSi₃N₄膜18とSiO₂膜19とが順次に積層されており、SiO₂膜19上を制御ゲート13

2

が延在している。制御ゲート13の両側の半導体基板11には、n+型の不純物領域でソース14及びドレイン15が形成されており、このトランジスタ21で1個のメモリセルが形成されている。

【0004】ところで、NOR型フラッシュメモリには、ホットエレクトロン注入型とファウラーノルドハイムトンネル注入型とがあるが、書込み／消去の回数を増加させ、且つ注入時の消費電流を低減させる必要から、ゲート絶縁膜の劣化が少なく且つチャネル電流も流れないファウラーノルドハイムトンネル注入型が主流になりつつある。そして、このファウラーノルドハイムトンネル注入型にも、以下の2通りの方式がある。

【0005】まず、第1の方式では、図21(a)に示す様に、ソース14及びドレイン15間にチャネル22を形成して、このチャネル22とドレイン15またはソース14とから浮遊ゲート12へ電子を注入し、図21(b)に示す様に、浮遊ゲート12からドレイン15またはソース14へ電子を引き抜く。なお、+V_iは浮遊ゲート12へ電子を注入するための電圧であり、-V_e-(+V_{cc})は浮遊ゲート12から電子を引き抜くための電圧であり、Fは浮遊状態を示している。

【0006】また、第2の方式では、図22(a)に示す様に、ソース14及びドレイン15間にチャネル22を形成して、このチャネル22から浮遊ゲート12へ電子を注入し、図22(b)に示す様に、浮遊ゲート12から半導体基板11へ電子を引き抜く。この第2の方式は、図23に示したMONOS型でも、SiO₂膜19とSi₃N₄膜18との界面に存在するトラップ23へ電子を注入し、このトラップ23から電子を引き抜くことによって、可能である。

【0007】なお、図22、23において、+V_iは浮遊ゲート12またはトラップ23へ電子を注入するための電圧であり、-V_eは浮遊ゲート12またはトラップ23から電子を引き抜くための電圧であり、Fは浮遊状態を示している。

【0008】ところで、図21に示した様にドレイン15へ電子を引き抜く方式では、浮遊ゲート12とドレイン15との狭い重畳領域でのみファウラーノルドハイムトンネル電流が流れるので、電流密度が高い。このため、ゲート絶縁膜が劣化し易く、書込み／消去の回数は10⁶回程度が上限になる。この回数を10⁶～10⁷回以上にするには、広い面積で電子を引き抜くことができるのでファウラーノルドハイムトンネル電流の密度を低くすることができる図22、23に示した様に半導体基板11へ電子を引き抜く方式が有利である。

【0009】図25は、浮遊ゲート型のNOR型フラッシュメモリの第1従来例における4ビット分のメモリセルアレイを示しており、図24は、その等価回路を示している。この第1従来例では、半導体基板11中を能動領域24が縞状に延在しており、半導体基板11上をワ

3

ード線 W_1 、 W_2 つまり制御ゲート13が能動領域24に直交する方向へ延在している。そして、これらのワード線 W_1 、 W_2 下には、各メモリセル $M_{11} \sim M_{22}$ に対応して浮遊ゲート12が配置されている。

【0010】各メモリセル $M_{11} \sim M_{22}$ のドレイン15には、ワード線 W_1 、 W_2 に直交する方向へ延在しているビット線 B_1 、 B_2 が、コンタクト孔25を介して接続されている。また、ワード線 W_1 、 W_2 に直交する方向へ並んでいるメモリセル M_{11} 、 M_{21} 及び M_{12} 、 M_{22} に共通なソース14には、ワード線 W_1 、 W_2 に平行な方向

つまりビット線 B_1 、 B_2 と直交する方向へ延在している接地線 S がコンタクト孔26を介して接続されている。

【0011】図27は、浮遊ゲート型のNOR型フラッシュメモリの第2従来例における4ビット分のメモリセルアレイを示しており、図26は、その等価回路を示している。この第2従来例は、ワード線 W_1 、 W_2 に直交する方向つまりビット線 B_1 、 B_2 に平行な方向へ接地線 S_1 、 S_2 が延在していることを除いて、図25に示*

表1 ドレインへ電子を引き抜く方式の動作電圧

	W_1	S_1	B_1	W_2	S_2	B_2	ウェル
消去	$+V_1$	F	0	$+V_1$	F	0	0
書き込み	0	F	0	$-V_e$	F	$+V_{cc}$	
読出し	0	0	0	$+V_{cc}$	0	$+V_1$	

V_1 : 1~1.5V

【0015】

表2 半導体基板へ電子を引き抜く方式の動作電圧

	W_1	S_1	B_1	W_2	S_2	B_2	ウェル
消去	$-V_1$	F	0	$-V_1$	F	0	0
書き込み	0	F	$+V_1$	$+V_1$	F	0	
読出し	0	0	0	$+V_{cc}$	0	$+V_1$	

なお、ワード線とビット線との間の電圧が $+V_1 - (+V_M)$ であるメモリセル M_{21} では、浮遊ゲートへ電子が注入されない。

【0016】

【発明が解決しようとする課題】ところで、図25に示した第1従来例でも、図21に示した様にドレイン15へ電子を引き抜く方式では、動作に支障は生じない。しかし、図22に示した様に半導体基板11へ電子を引き抜く方式では、表2に示したメモリセル M_{22} に対する書

4

*した第1従来例と実質的に同様の構成を有している。

【0012】次の表1、2は、夫々、ドレイン15へ電子を引き抜く方式と半導体基板11へ電子を引き抜く方式とにおける、一括消去とメモリセル M_{22} に対する書き込み及び読出し時との動作電圧を示している。これらの表1、2は、NMOSトランジスタを用いた浮遊ゲート型のNOR型フラッシュメモリの場合を示しているが、PMOSトランジスタを用いる場合は、電圧の符号を逆転すればよい。また、MONOS型のNOR型フラッシュメモリの場合も同様に考えることができる。

【0013】なお、図21に示した様にドレイン15へ電子を引き抜く方式では、注入及び引抜きの何れに際しても各メモリセル $M_{11} \sim M_{22}$ を選択することができるが、図22、23に示した様に半導体基板11へ電子を引き抜く方式では、注入に際してしか各メモリセル $M_{11} \sim M_{22}$ を選択することができない。このため、表1では、電子の引抜きを書き込みとしてあるが、表2では、電子の注入を書き込みとしてある。

【0014】

込み動作時に、ビット線 B_1 ($+V_M$) →メモリセル M_{21} のドレイン15 →メモリセル M_{21} のチャネル22 →メモリセル M_{21} のソース14 →接地線 S →メモリセル M_{22} のソース14 →メモリセル M_{22} のチャネル22 →メモリセル M_{22} のドレイン15 →ビット線 B_2 (0V) の経路で電流が流れる。

【0017】このため、図25に示した第1従来例では、消費電流が多くなると同時に、ビット線 B_1 、 B_2 の電圧が夫々 $+V_M$ 及び0Vから変動して、書き込み不良

5

や書き込みディスタープが生じる。これに対して、図27に示した第2従来例では、上述の経路で電流が流れることはない。

【0018】しかし、図25に示した第1従来例では、ビット線B₁、B₂と接地線Sとを互いに直交させることができるが、図27に示した第2従来例では、ビット線B₁、B₂と接地線S₁、S₂とを互いに同じ方向へ延在させる必要がある。このため、第1従来例では、コンタクト孔25、26同士的位置関係を考慮する必要がないが、第2従来例では、ビット線B₁、B₂が接地線S₁、S₂に接触しない様に、コンタクト孔25、26同士をワード線W₁、W₂の延在方向へずらす必要がある。

【0019】従って、書き込み／消去の回数を多くするために、図22に示した様に半導体基板11へ電子を引き抜く方式を採用し、しかもこの方式を採用しても消費電流を少なくし且つ書き込み不良や書き込みディスタープを生じさせない様にするために、図25に示した第1従来例ではなく図27に示した第2従来例を採用すると、図25中のメモリセル面積27と図27中のメモリセル面積27との比較からも明らかな様に、メモリセル面積27が大きくなって、集積度を高めることが困難であった。

【0020】

【課題を解決するための手段】請求項1のNOR型フラッシュメモリでは、メモリセル用のトランジスタ16のソース14、ドレイン15及びチャネル領域が形成されている半導体層44が帯状に延在しており、前記半導体層44の上層及び下層の一方及び他方で接地線38及びビット線71、72が絶縁膜36、55、56、67を介して前記半導体層44に沿って延在しており、前記接地線38及び前記ビット線71、72が前記ソース14または前記ドレイン15に電気的に接続されている。

【0021】請求項2のNOR型フラッシュメモリでは、請求項1のNOR型フラッシュメモリにおいて、前記トランジスタ16のゲート52、54に対して自己整合的に形成されているコンタクト孔61、62から前記半導体層44に導入された前記ソース14または前記ドレイン15と同一導電型の不純物63によって形成されており前記半導体層44を貫通している不純物領域64によって、前記下層の前記接地線38または前記ビット線71、72と前記ソース14または前記ドレイン15とが電気的に接続されている。

【0022】請求項3のNOR型フラッシュメモリでは、請求項1または2のNOR型フラッシュメモリにおいて、前記トランジスタ16のゲート52、54と交わる方向へ帯状に延在する開口57aを有するマスク層57を用いた、前記ゲート52、54及び前記半導体層44を覆っている絶縁膜56に対するエッチングで、前記ゲート52、54に対して自己整合的なコンタクト孔61、62が形成されている。

6

【0023】請求項4のNOR型フラッシュメモリでは、請求項1～3の何れかのNOR型フラッシュメモリにおいて、電荷が浮遊ゲート52に蓄積される。

【0024】請求項5のNOR型フラッシュメモリでは、請求項1～3の何れかのNOR型フラッシュメモリにおいて、電荷が絶縁膜18、19のトラップに蓄積される。

【0025】

【作用】請求項1のNOR型フラッシュメモリでは、接地線38とビット線71、72とがメモリセル用のトランジスタ16の能動層である半導体層44の上層と下層とを延在しているので、接地線38とビット線71、72とが共に半導体層44に沿う同じ方向へ延在しているにも拘らず、これらの接地線38とビット線71、72とを半導体層44に垂直な方向へずらして配置する必要がなく、接地線38とビット線71、72とを半導体層44に重畳させることができる。

【0026】請求項2のNOR型フラッシュメモリでは、半導体層44の下層の接地線38またはビット線71、72とトランジスタ16のソース14またはドレイン15とを電気的に接続している不純物領域64が、トランジスタ16のゲート52、54に対して自己整合的に形成されているコンタクト孔61、62から半導体層44に導入された不純物63によって形成されているので、この不純物領域64を容易に形成することができる。

【0027】請求項3のNOR型フラッシュメモリでは、トランジスタ16のゲート52、54に対して自己整合的なコンタクト孔61、62を形成する際のマスク層57が、ゲート52、54と交わる方向へ帯状に延在する開口57aを有しており、孤立している孔状の開口に比べて帯状の開口57aは幅を狭くすることができるので、コンタクト孔61、62の微細化が可能である。

【0028】

【実施例】以下、浮遊ゲート型のNOR型フラッシュメモリに適用した本願の発明の一実施例を、図1～19を参照しながら説明する。

【0029】図1～5が、本実施例を示している。この実施例を製造するためには、図6に示す様に、主面が<100>面であり抵抗率が10～20Ω・cmであるp型のSi基板31の表面に、膜厚が300nmのSiO₂膜32を熱酸化かCVDで形成する。そして、メモリセル部の素子分離領域の他、アライメントマーク、PウェルとNウェルとの分離領域を後に形成すべき部分に開口を有するパターンに、フォトレジスト33を加工する。

【0030】その後、フォトレジスト33をマスクにして、SiO₂膜32とSi基板31とを異方性ドライエッチングすることによって、幅が500nm以下で深さが400nmのトレンチ34をSi基板31に形成す

7

る。そして、フォトレジスト33を除去した後、 $\text{NH}_4\text{OH}+\text{H}_2\text{O}_2$ 液でSi基板31の表面を5~10nmの厚さに互ってウェットエッチングして、ドライエッチングで受けた損傷を除去する。

【0031】次に、図7(a)に示す様に、後に接地線及びそれと同時に形成する配線の部分に開口を有するパターンに、フォトレジスト35を加工する。そして、このフォトレジスト35をマスクにして、希弗酸溶液で SiO_2 膜32をウェットエッチングして除去する。その後、フォトレジスト35を除去する。

【0032】次に、膜厚が10nmの SiO_2 膜を熱酸化でSi基板31の表面に形成してから、図7(b)に示す様に、膜厚が270nmの SiO_2 膜36をCVDで堆積させてトレンチ34上を平坦化する。その後、 N_2 雰囲気中で900℃、30分間のアニールを行って、 SiO_2 膜36を緻密化させる。

【0033】次に、フォトレジスト(図示せず)をマスクにして、 SiO_2 膜36を異方性ドライエッチングすることによって、図8に示す様に、後に形成する接地線とSi基板31とのコンタクト孔37を、トレンチ34にアライメントして所定の位置に $400\times 460\text{nm}^2$ の大きさで開孔する。

【0034】次に、図9に示す様に、膜厚が200nmでリンをドーブした多結晶Si膜と膜厚が100nmの WSi_2 膜とを順次に堆積させることによって、膜厚が300nmのタングステンポリサイド膜38を全面に形成する。そして、フォトレジスト(図示せず)をマスクにして、タングステンポリサイド膜38を異方性ドライエッチングすることによって、接地線を形成する。

【0035】この時、図10に示す様に、タングステンポリサイド膜38同士の間隔b及びタングステンポリサイド膜38とメモリセルアレイ部の端部における SiO_2 膜36の段差部との間隔bを互いに等しくする。なお、タングステンポリサイド膜38を形成するに際して、リンをドーブした多結晶Si膜を堆積させる代わりに、不純物を含まない多結晶Si膜を堆積させ、この多結晶Si膜に50keVの注入エネルギー及び $5\times 10^{15}\text{cm}^{-2}$ のドーズ量でリンまたはヒ素をイオン注入し、1000℃、10秒間のアニールを行ってもよい。

【0036】次に、図11に示す様に、膜厚が250~300nmの SiO_2 膜41をCVDで堆積させる。ところで、図10にも示した様に、タングステンポリサイド膜38の膜厚aと SiO_2 膜32の膜厚aとが互いに等しいので、メモリセルアレイ部の端部における SiO_2 膜36の段差とタングステンポリサイド膜38の膜厚とが互いに等しく、且つ既述の様にタングステンポリサイド膜38同士の間隔b及びタングステンポリサイド膜38と SiO_2 膜36の段差部との間隔bも互いに等しい。

【0037】従って、堆積させた SiO_2 膜41によ

8

てSi基板31上の全面が平坦化される。その後、必要に応じて SiO_2 膜41の表面を研磨して、この表面の平坦度を高める。

【0038】次に、図12(a)に示す様に、Si基板31とは別のSi基板42の表面に、膜厚が100nmのBPSG膜43を堆積させ、必要に応じてBPSG膜43の表面を研磨して、この表面の平坦度を高める。そして、Si基板31の SiO_2 膜41とSi基板42のBPSG膜43とを対接させ、950℃の温度を10分間に互って加えて、Si基板31とSi基板42とを張り合わせる。

【0039】次に、図12(b)に示す様に、トレンチ34を埋めている SiO_2 膜36が露出するまで、Si基板31の SiO_2 膜41とは反対側の面を研削及び研磨する。この結果、Si基板31が SiO_2 膜36に囲まれた縞状に残り、このSi基板31が能動層としてのSi層44になる。

【0040】次に、Si層44のうちでメモリセルアレイ部を含んでいるPウェルを形成すべき部分をフォトレジスト(図示せず)でマスクして、Nウェルを形成すべき部分に、150keVの注入エネルギー及び $1\times 10^{13}\text{cm}^{-2}$ のドーズ量でリンをイオン注入して、この部分のSi層44の導電性をn型に変える。

【0041】その後、Pウェルを形成すべき部分のフォトレジストを除去した後、今度はSi層44のうちでNウェルを形成すべき部分をフォトレジスト(図示せず)でマスクする。そして、Pウェルを形成すべき部分に、150keVの注入エネルギー及び $1\times 10^{14}\text{cm}^{-2}$ のドーズ量でボロンをイオン注入して、この部分のSi層44の導電性を表面近傍を残して p^+ 化する。

【0042】その後、950℃、10秒間の高速アニールを行って、図13(a)に示す様に、Nウェル45とPウェル46とを形成する。そして、図13(b)に示す様に、Nウェル45及びPウェル46内の幅の広い素子分離領域に、膜厚が200nmの SiO_2 膜47をLOCOS法で形成する。なお、 SiO_2 膜47下には、チャンネルストッパ48を形成する。

【0043】次に、閾値電圧を制御するための不純物のイオン注入を行った後、図14に示す様に、Si層44の表面に、ゲート絶縁膜としての SiO_2 膜51を8nmの膜厚に形成する。そして、膜厚が30nmでリンの濃度が $0.5\sim 1\times 10^{20}\text{cm}^{-3}$ である多結晶Si膜52を堆積させ、Si層44に沿って延在するパターンに、多結晶Si膜52を異方性ドライエッチングする。

【0044】その後、多結晶Si膜52の表面に、容量結合用の絶縁膜としての SiO_2 膜53を12nmの膜厚に形成する。そして、膜厚が50nmの多結晶Si膜と膜厚が100nmの WSi_2 膜とから成るタングステンポリサイド膜54を全面に形成し、更に膜厚が200nmの SiO_2 膜55をCVDでタングステンポリサイ

9

ド膜54上に堆積させる。

【0045】その後、 SiO_2 膜55とタングステンポリサイド膜54と SiO_2 膜53と多結晶 Si 膜52とを、 Si 層44に直交して延在するパターンに連続的に異方性ドライエッチングすることによって、タングステンポリサイド膜54で制御ゲートを形成すると共に、多結晶 Si 膜52で浮遊ゲートを形成する。

【0046】その後、 SiO_2 膜55やタングステンポリサイド膜54等をマスクにして、ヒ素を 10keV の注入エネルギー及び $1 \times 10^{14}\text{cm}^{-2}$ のドーズ量で Si 層44にイオン注入し、 1000°C 、10分間のアニールを行うことによって、 n 型の不純物領域であるソース14及びドレイン15を形成する。ここまでで、メモリセルを形成するトランジスタ16が完成する。

【0047】なお、メモリセル部のトランジスタ16は非 LDD 構造であるが、周辺回路部のトランジスタ（図示せず）は LDD 構造にする。このため、 n 型の不純物領域を形成するためのイオン注入に続いて、再びヒ素を 10keV の注入エネルギー及び $5 \times 10^{15}\text{cm}^{-2}$ のドーズ量でイオン注入することによって、 n^+ 型の不純物領域も形成する。

【0048】次に、図15に示す様に、膜厚が 120nm の SiO_2 膜56を CVD で全面に堆積させた後、 Si 層44の上方でタングステンポリサイド膜54と直交する方向へ帯状に延在する開口57aを有するパターンにフォトリソ加工する。そして、このフォトリソ加工をマスクにして、ソース14及びドレイン15における Si 層44の表面が現れるまで、 SiO_2 膜56を異方性ドライエッチングする。

【0049】この結果、 SiO_2 膜56から成る側壁が、開口57aに対応する部分のタングステンポリサイド膜54の側面に形成されて、ソース14及びドレイン15に達するコンタクト孔61、62が、タングステンポリサイド膜54及び多結晶 Si 膜52に対して自己整合的に開孔される。

【0050】次に、図16に示す様に、フォトリソ加工を残したまま、このフォトリソ加工57や SiO_2 膜55、56等をマスクにして、リン63を 100keV の注入エネルギー及び $5 \times 10^{14}\text{cm}^{-2}$ のドーズ量と 200keV の注入エネルギー及び $5 \times 10^{14}\text{cm}^{-2}$ のドーズ量との2段階で、コンタクト孔61、62から Si 層44へイオン注入した後、 1000°C 、10秒間のアニールを行う。この結果、 Si 層44を貫通する n^+ 型の不純物領域64が形成され、ソース14とタングステンポリサイド膜38とが電気的に接続される。

【0051】なお、不純物領域64を形成するための不純物はソース14及びドレイン15と同一導電型であればよく、リン63の代わりに、例えばヒ素を用いてもよい。また、ドレイン15は接地線としてのタングステンポリサイド膜38ではなく後に形成するビット線と電気

10

的に接続するので、ドレイン15には不純物領域64を形成する必要はない。しかし、ドレイン15に不純物領域64を形成しない様にするためには、コンタクト孔62を覆うパターンのフォトリソ加工が必要であるので、ドレイン15にも不純物領域64を形成した方が工程が簡単である。

【0052】次に、フォトリソ加工57並びにソース14及びドレイン15の表面の自然酸化膜を除去した後、図17に示す様に、不純物を含まない多結晶 Si 膜65を 120nm の膜厚で全面に堆積させて、コンタクト孔61、62とタングステンポリサイド膜54間の凹部とを埋め込む。そして、タングステンポリサイド膜54間の多結晶 Si 膜65の膜厚が 100nm 程度になるまで、この多結晶 Si 膜65をエッチバックする。この時、多結晶 Si と SiO_2 とのエッチング選択比を、 $200:1$ 程度の高い値にする。

【0053】その後、ヒ素を 20keV の注入エネルギー及び $5 \times 10^{15}\text{cm}^{-2}$ のドーズ量で多結晶 Si 膜65にイオン注入し、更に N_2 雰囲気中で 900°C 、10秒間のアニールを行って、多結晶 Si 膜65の厚さ方向の一部を n^+ 化する。

【0054】次に、図18に示す様に、 Si_3N_4 膜66を 50nm の膜厚で全面に堆積させ、ドレイン15上のコンタクト孔62を覆う部分の Si_3N_4 膜66のみを残して、他の部分の Si_3N_4 膜66をエッチングで除去する。そして、 Si_3N_4 膜66を耐酸化マスクにして、この Si_3N_4 膜66に覆われていない部分の多結晶 Si 膜65を酸化して、 SiO_2 膜67を形成する。

【0055】この時、酸化条件を 850°C 、 $\text{H}_2/\text{O}_2=1.5$ 、60分間にして、多結晶 Si 膜65のうちで少なくともコンタクト孔61、62上以外の部分を総て SiO_2 膜67に変換する。この酸化の間に、多結晶 Si 膜65中に既にドーピングしてあるヒ素が拡散して、酸化されずに残った部分の多結晶 Si 膜65の全体が n^+ 化される。

【0056】次に、図19に示す様に、 160°C の熱リン酸で Si_3N_4 膜66をエッチングする。そして、膜厚が 2nm の Ti 膜と膜厚が 12nm の TiN 膜とを CVD で順次に堆積させ、更に膜厚が 30nm の Ti 膜をスパッタリングで堆積させて、バリアメタル膜としての $\text{Ti}/\text{TiN}/\text{Ti}$ 膜71を形成した後、膜厚が 400nm の AlSiCu 膜72を堆積させる。

【0057】その後、フォトリソ加工（図示せず）をビット線のパターンに加工し、このフォトリソ加工をマスクにして AlSiCu 膜72と $\text{Ti}/\text{TiN}/\text{Ti}$ 膜71とを異方性ドライエッチングして、ビット線を形成する。このビット線は、 Si_3N_4 膜66下に残っていた多結晶 Si 膜65を介して、ドレイン15にコンタクトしている。その後は、表面保護膜（図示せず）の形成等

11

の従来公知の工程を実行して、本実施例を完成させる。

【0058】なお、以上の実施例はNMOSトランジスタを用いる浮遊ゲート型のNOR型フラッシュメモリに本願の発明を適用したものであるが、PMOSトランジスタを用いる浮遊ゲート型のNOR型フラッシュメモリにも本願の発明を適用することができる。

【0059】また、図20に示す様に、膜厚が2nmのSiO₂膜17と膜厚が5nmのSi₃N₄膜18と膜厚が3nmのSiO₂膜19とが順次に積層されており、これらの上を膜厚が150nmのタングステンポリ10
サイド膜54が制御ゲートとして延在しているMONOS型のNOR型フラッシュメモリも、上述の実施例とはゲート構造が異なるだけであるので、本願の発明を適用することができる。

【0060】

【発明の効果】請求項1のNOR型フラッシュメモリでは、接地線とビット線とが共に半導体層に沿う同じ方向へ延在しているにも拘らず、これらの接地線とビット線とを半導体層に重畳させることができるので、メモリセル面積を小さくして、集積度を高めることができる。20

【0061】請求項2のNOR型フラッシュメモリでは、半導体層の下層の接地線またはビット線とトランジスタのソースまたはドレインとを電気的に接続している不純物領域を容易に形成することができるので、製造が容易である。

【0062】請求項3のNOR型フラッシュメモリでは、トランジスタのゲートに対して自己整合的に形成されているコンタクト孔の微細化が可能であるので、メモリセル面積を更に小さくして、集積度を更に高めることができる。30

【図面の簡単な説明】

【図1】本願の発明の一実施例の平面図である。

【図2】図1のI-I線に沿う位置における側断面図である。

【図3】図1のI-I-I線に沿う位置における側断面図である。

【図4】図1のI-V-I線に沿う位置における側断面図である。

【図5】図1のV-V線に沿う位置における側断面図である。40

【図6】一実施例を製造するための最初の工程を示しており、(a)は平面図、(b)は(a)のB-B線に沿う位置における側断面図である。

【図7】図6に続く工程を順次に示す側断面図である。

【図8】図7(b)に続く工程を示しており、(a)は平面図、(b)及び(c)は夫々(a)のB-B線及びC-C線に沿う位置における側断面図である。

【図9】図8に続く工程を示しており、(a)は平面図、(b)及び(c)は夫々(a)のB-B線及びC-C線に沿う位置における側断面図である。50

12

【図10】メモリセル部の端部を含む図9(c)の時点の側断面図である。

【図11】図9、10に続く工程を示す側断面図である。

【図12】図11に続く工程を順次に示す側断面図である。

【図13】図12(b)に続く工程を順次に示す側断面図である。

【図14】図13(b)に続く工程を示しており、

(a)は平面図、(b)及び(c)は夫々(a)のB-B線及びC-C線に沿う位置における側断面図である。

【図15】図14に続く工程を示しており、(a)は平面図、(b)及び(c)は夫々(a)のB-B線及びC-C線に沿う位置における側断面図である。

【図16】図15に続く工程を示しており、(a)は平面図、(b)及び(c)は夫々(a)のB-B線及びC-C線に沿う位置における側断面図である。

【図17】図16に続く工程を示しており、(a)は平面図、(b)(c)及び(d)は夫々(a)のB-B線、C-C線及びD-D線に沿う位置における側断面図である。

【図18】図17に続く工程を示しており、(a)は平面図、(b)(c)(d)及び(e)は夫々(a)のB-B線、C-C線、D-D線及びE-E線に沿う位置における側断面図である。

【図19】図18に続く工程を示しており、(a)は平面図、(b)及び(c)は夫々(a)のB-B線及びC-C線に沿う位置における側断面図である。

【図20】本願の発明の別の実施例における要部の側断面図である。30

【図21】浮遊ゲート型においてドレインへ電子を引き抜く方式を説明するための側断面図であり、(a)は電子の注入時、(b)は電子の引抜き時を示している。

【図22】浮遊ゲート型において本願の発明を適用し得る基板へ電子を引き抜く方式を説明するための側断面図であり、(a)は電子の注入時、(b)は電子の引抜き時を示している。

【図23】MONOS型において本願の発明を適用し得る基板へ電子を引き抜く方式を説明するための側断面図であり、(a)は電子の注入時、(b)は電子の引抜き時を示している。40

【図24】本願の発明の第1従来例の等価回路図である。

【図25】第1従来例の平面図である。

【図26】本願の発明の第2従来例及び一実施例の等価回路図である。

【図27】第2従来例の平面図である。

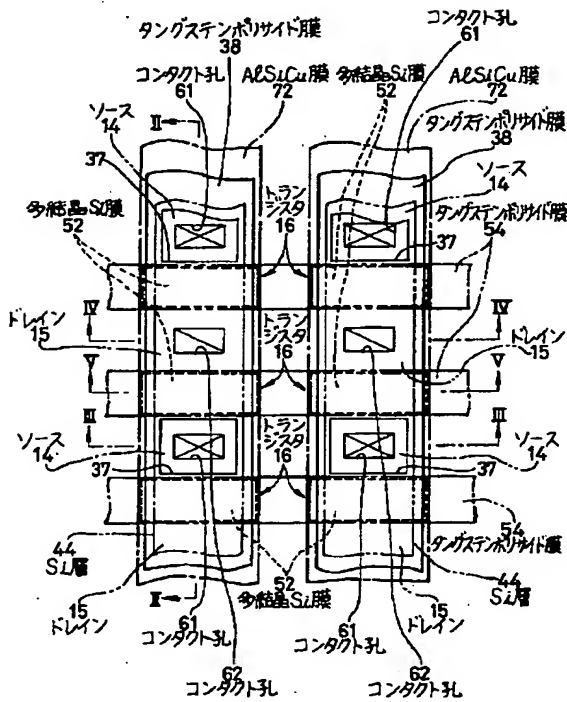
【符号の説明】

14 ソース

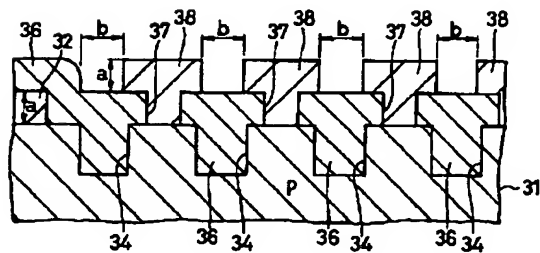
15 ドレイン

- 13
- 16 トランジスタ
 - 18 Si_3N_4 膜
 - 19 SiO_2 膜
 - 36 SiO_2 膜
 - 38 タングステンポリサイド膜
 - 44 Si 層
 - 52 多結晶 Si 膜
 - 54 タングステンポリサイド膜
 - 55 SiO_2 膜
 - 56 SiO_2 膜

【図1】



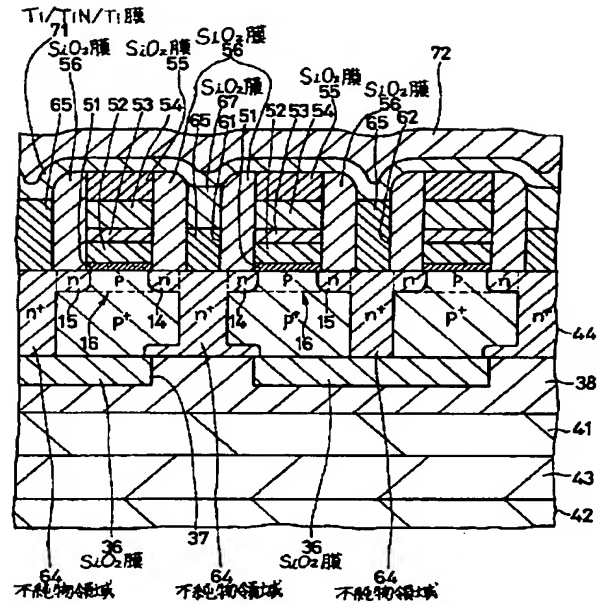
【図10】



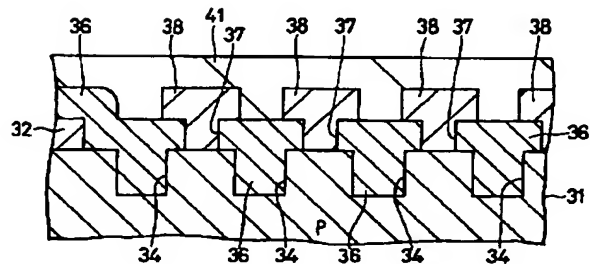
- 14
- *57 フォトレジスト
 - 57a 開口
 - 61 コンタクト孔
 - 62 コンタクト孔
 - 63 リン
 - 64 不純物領域
 - 67 SiO_2 膜
 - 71 Ti/TiN/Ti 膜
 - 72 AlSiCu 膜

*10

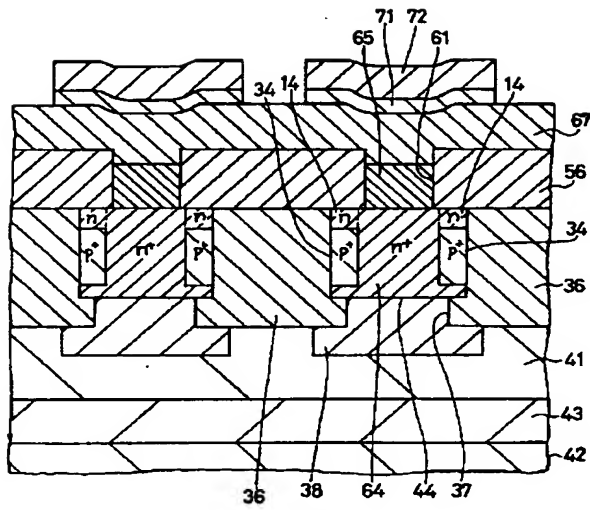
【図2】



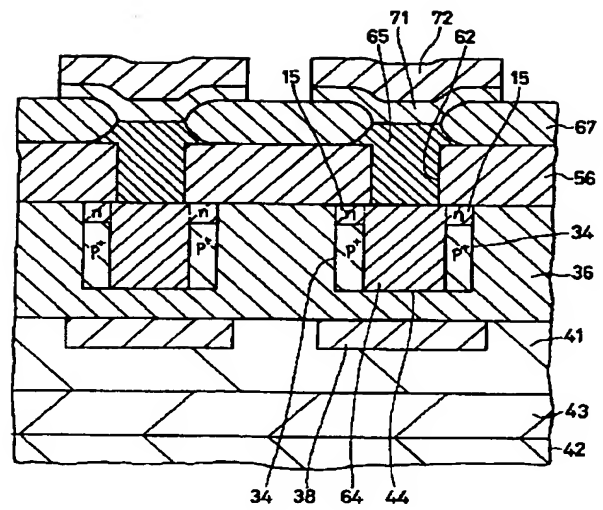
【図11】



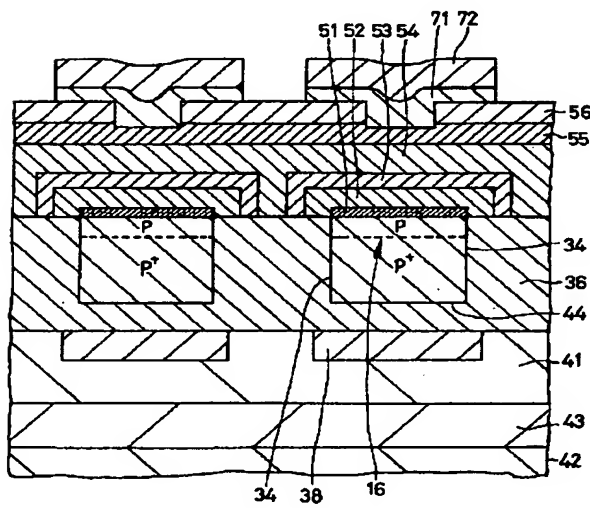
【図 3】



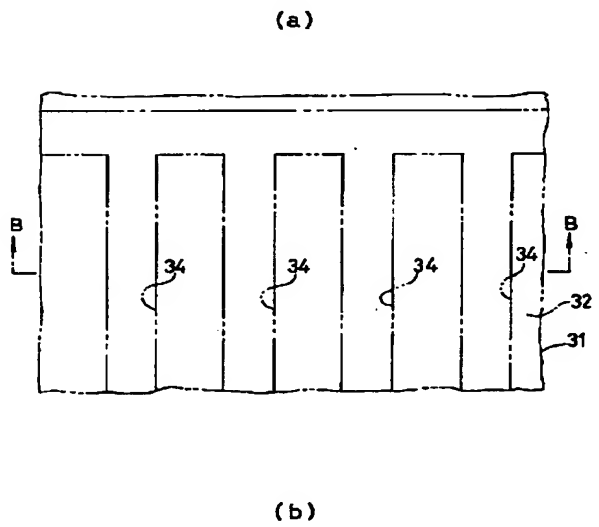
【図 4】



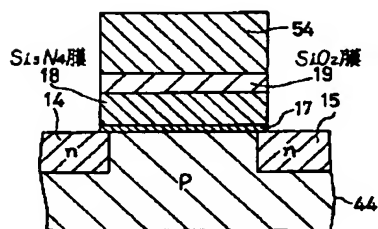
【図5】



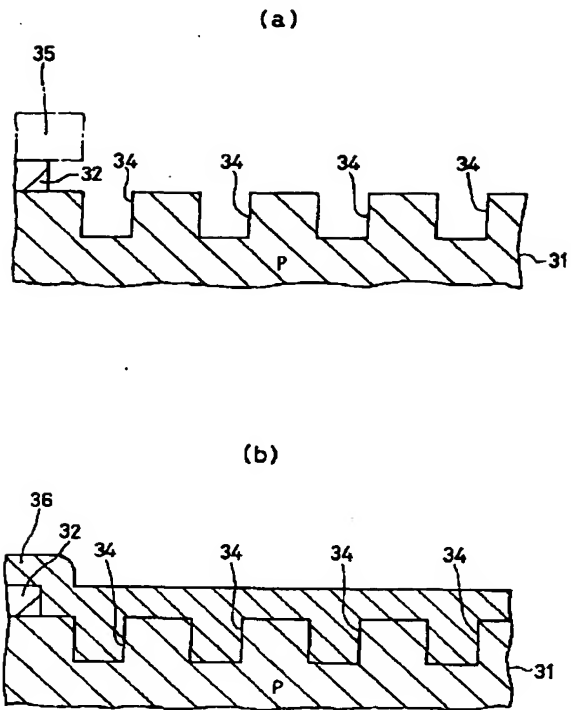
【图 6】



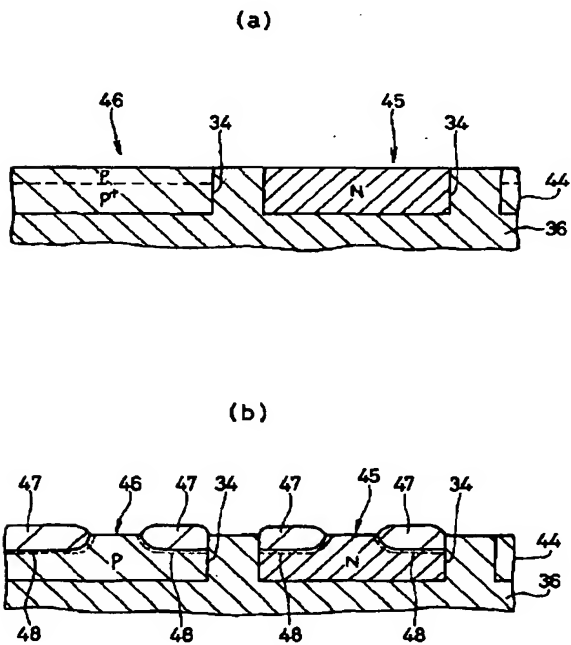
【図 20】



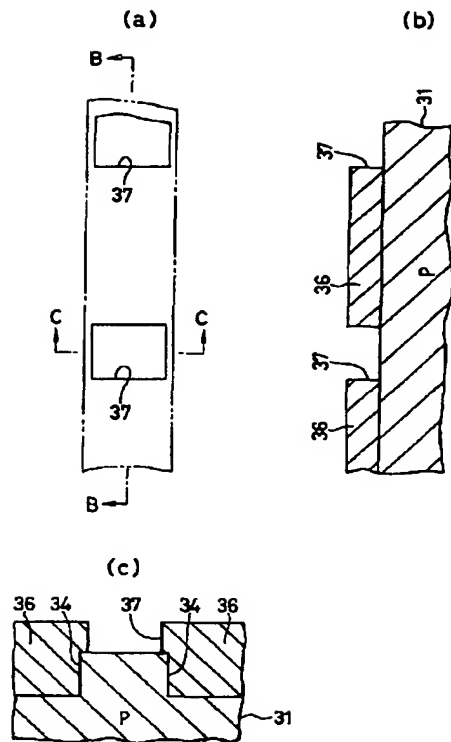
【图7】



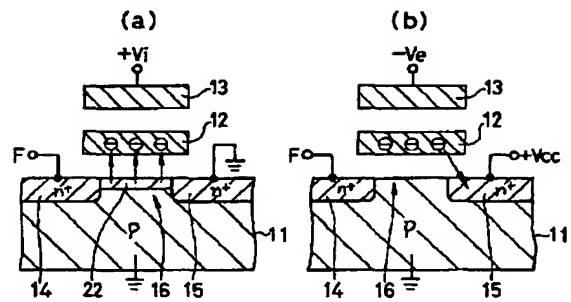
【図 13】



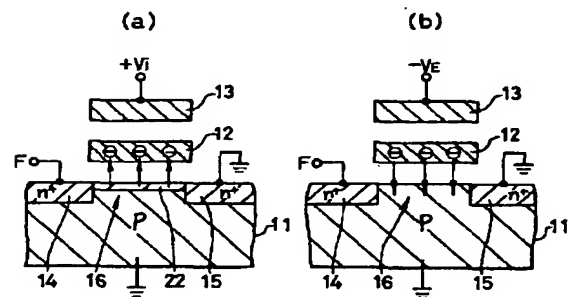
【図 8】



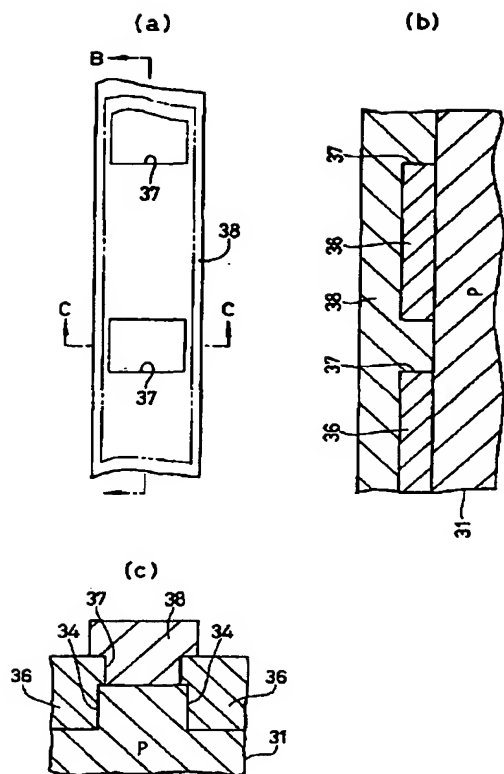
【図 2 1】



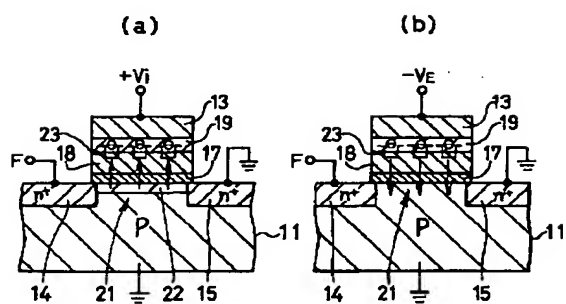
【图 2 2】



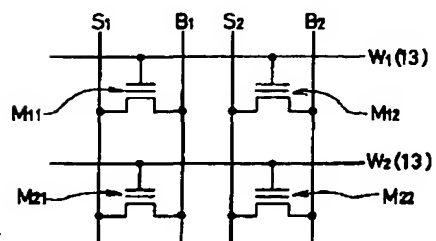
【図9】



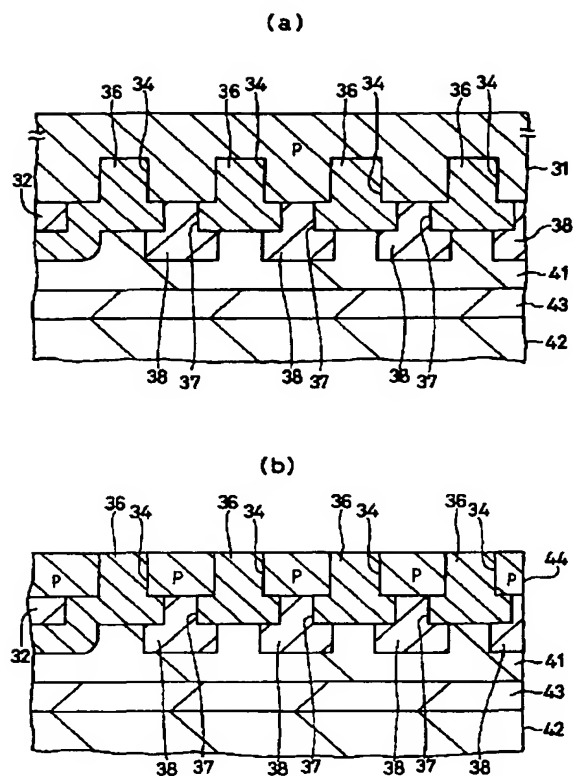
【図23】



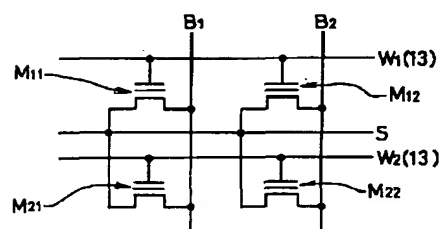
【図26】



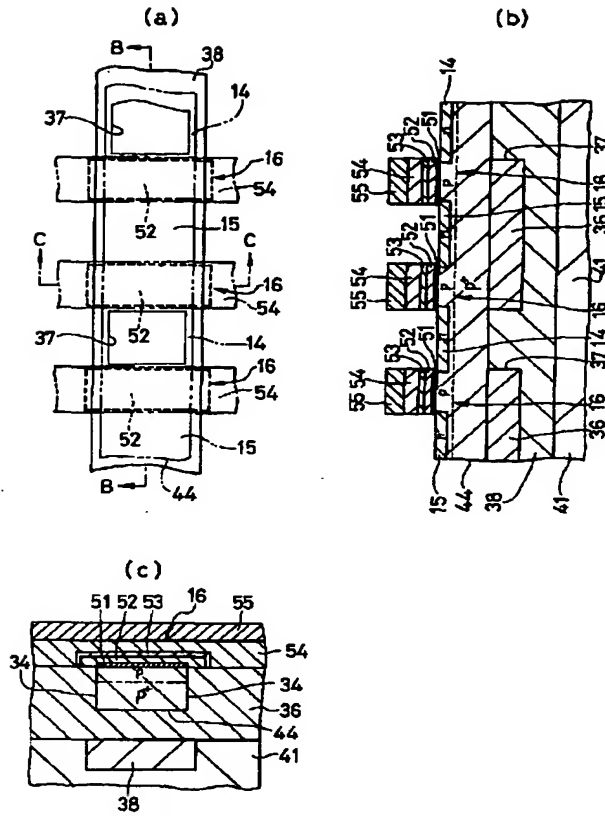
【図12】



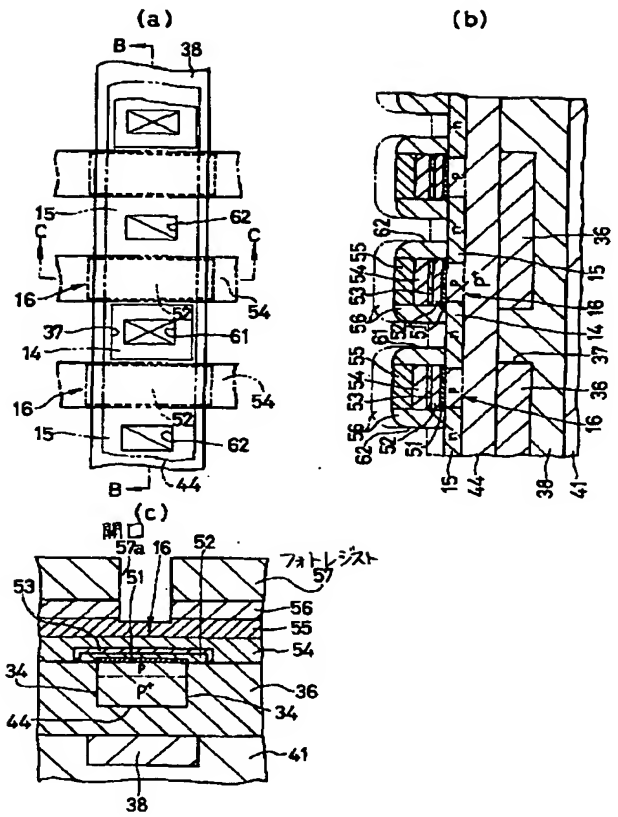
【図24】



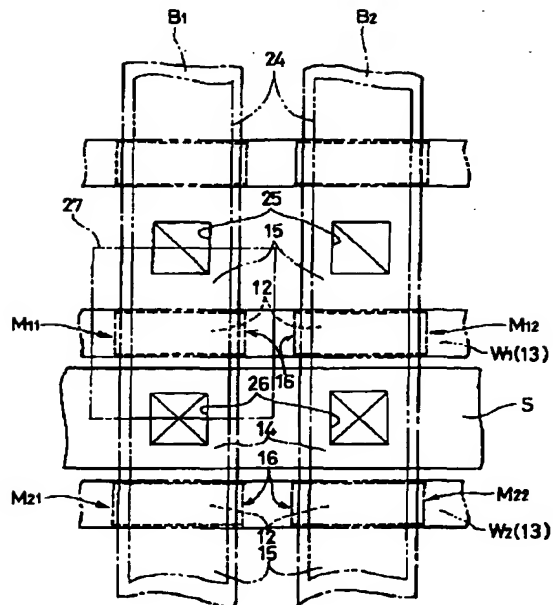
【図14】



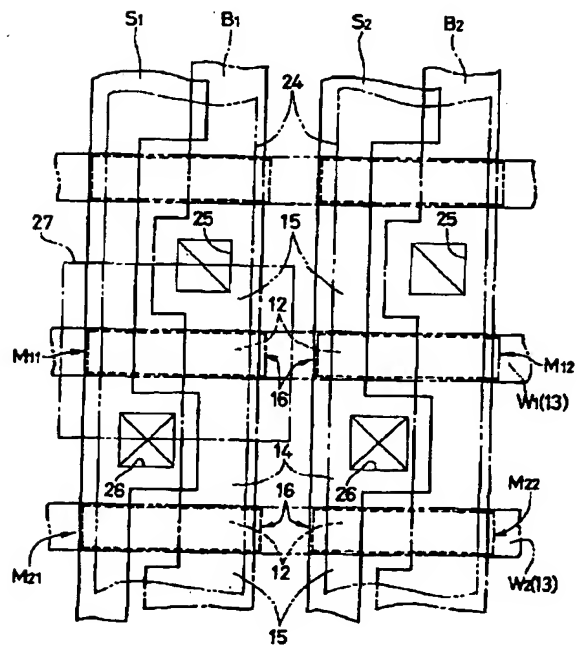
【図15】



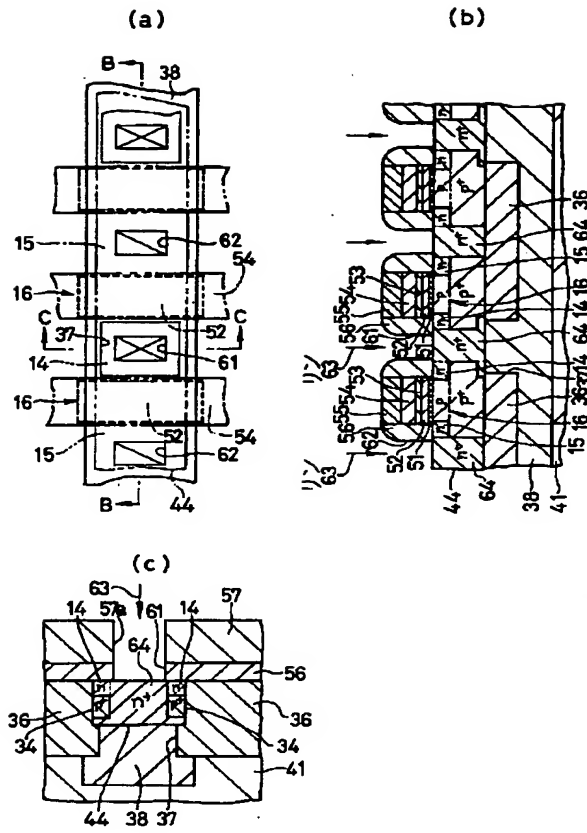
【図25】



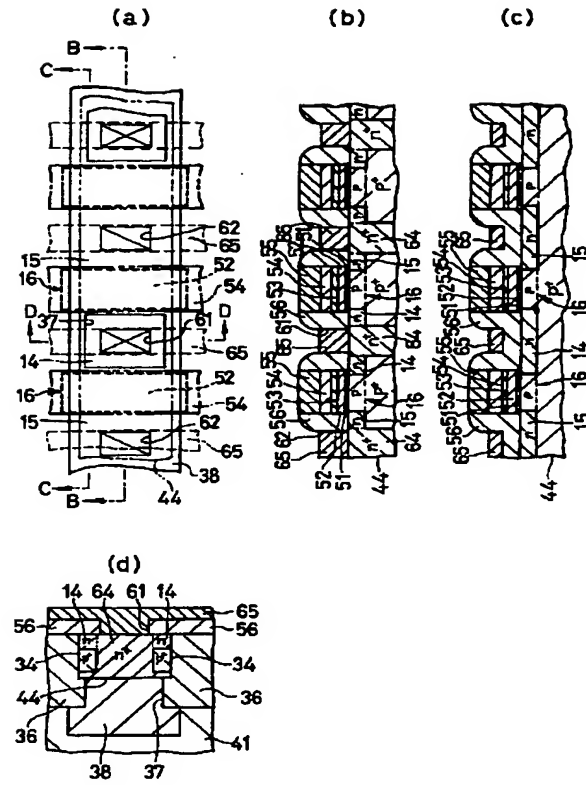
【図27】



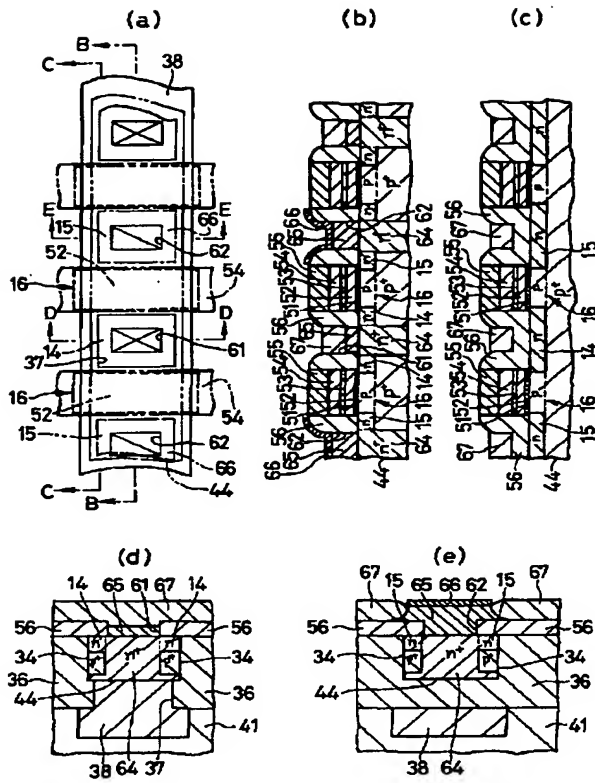
【図16】



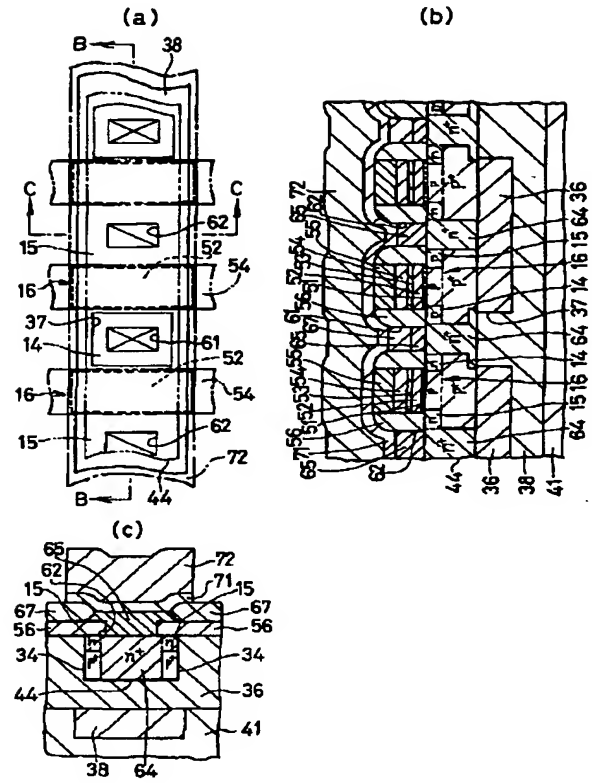
【図17】



【図18】



【図19】



フロントページの続き

(51)Int. Cl. 5

G 1 1 C 16/06

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 17/00

3 0 9 C